

# ОСОБЕННОСТИ ОРГАНИЗАЦИИ ВЫЧИСЛЕНИЙ В ЗАДАЧАХ УПРАВЛЕНИЯ ГРУППИРОВКАМИ ВОЗДУШНЫХ И КОСМИЧЕСКИХ АППАРАТОВ

Кутахов В.П., Алакоз Г.М., Пляскота С.И

*Национальный исследовательский центр «Институт имени Н.Е. Жуковского»,  
Москва, Россия*

kutahovvp@nrczh.ru, gen1nor2@gmail.com, plyasser@gmail.com

*Аннотация. Рассматриваются отличительные особенности и конкурентные преимущества субпроцессоров в преобразующей ассоциативной памяти в решении основных и сопутствующих задач управления групповым поведением воздушных и космических аппаратов.*

*Ключевые слова: управление группировками воздушных и космических аппаратов, субпроцессоры в преобразующей ассоциативной памяти, операционный бит, вычислительная поверхность, вычислительное поле.*

## Введение

Управление группировками (группами, кластерами, роями) воздушных и космических аппаратов (ВКА) различного назначения, разнообразных классов и произвольной численности представляет собой одну из актуальных задач в комплексе задач управления крупномасштабными транспортными системами. Несмотря на различие сред функционирования ВКА, а также методов и способов воздействия на их динамику, принципиальных различий в постановках и путях решения задач группового управления для воздушных и космических аппаратов авторы не усматривают. Эффективность их решения зависит от практической реализации разнообразных, но, по существу, единых навигационных (микронавигационных) и функциональных (мониторинг, распознавание и идентификация объектов, разведка, целеуказание и т.п.) алгоритмов при выполнении заданных требований к свойствам группировок, таких как:

- число и плотность ВКА в группе;
- наличие/отсутствие внутри и внегрупповой иерархии;
- длительность существования группы, включая время её формирования/расформирования;
- особенности траекторного перемещения группы и её элементов в пространстве;
- точность позиционирования отдельных ВКА в групповом строю (в заданных и/или вычисляемых координатах);
- средства и параметры информационного обмена внутри/вне группировок и др.

Примеры постановок и реализации таких задач приведены в многочисленной литературе по управлению группами автономных беспилотных летательных аппаратов (БЛА), смешанными группировками БЛА и пилотируемых ЛА, а также по управлению кластерами малоразмерных космических спутников [1, 2, 3, 4, 5, 6, 7].

Отметим, что для эффективного решения задач группового управления ВКА, т.е. для реализации указанных навигационных и функциональных алгоритмов, необходима адекватная им организация вычислительных процессов, реализуемых с помощью высоко адаптивных средств. По нашему мнению, задачи сбора, преобразования и хранения информации при групповом управлении наиболее эффективно решать с минимальным привлечением внешних (по отношению к группе) средств вычислительной техники (СВТ). Иными словами, перечисленные управленческие задачи группового управления ВКА рационально решать на их борту, с минимальным информационным обменом с внешними (наземными/надводными, воздушными, воздушно-космическими) центрами управления и диспетчирования полётов.

При таком подходе становится особенно актуальной задача создания и размещения на борту ВКА СВТ, обладающих требуемыми:

- быстродействием;
- энергоэффективностью;
- криптостойкостью;
- безотказностью (отказоустойчивостью);
- автономностью (долговечностью);
- стойкостью к внешним воздействующим факторам, характерным для базирования ВКА.

Примем также во внимание следующие обстоятельства:

- Номенклатура микросхем, необходимых для комплектации перспективных и уже освоенных в производстве образцов ВКА составляет десятки и сотни наименований, которые в настоящее время по различным причинам не доступны производителям ВКА.
- Отечественная микроэлектронная промышленность отстает от достигнутого в мире технологического уровня изготовления интегральных схем по разным оценкам на 3-7 поколений – на микроэлектронной фабрике ПАО «Микрон» (Зеленоград), наиболее передового в стране предприятия в этой области, освоена технология КМОП 180-90 нм, тогда как в мире – устойчиво освоен уровень 14-7 нм (4-2 нм – в ближайшей перспективе).

Отсюда, в дополнение к вышеуказанным требованиям для создания эффективных и конкурентоспособных отечественных СВТ необходимо иметь номенклатурно бедную, но эффективную и конкурентоспособную компонентную элементную базу, производимую на достигнутом (имеющемся в наличии) технологическом уровне. Иными словами, один-два типоминимала СБИС должны обеспечить решение вычислительных задач функционально и экономически успешнее конкурентов, превосходящих на 3-7 поколений технологии КМОП, на которых предполагается изготавливать СБИС.

В настоящей работе рассматриваются результаты исследований и разработок не имеющей прямых мировых аналогов технологии субпроцессоров в преобразующей ассоциативной памяти (СпПАП), которые были апробированы при решении навигационных и функциональных задач группового управления ВКА и способны удовлетворить современным требованиям в условиях действия указанных экономических обстоятельств.

## 1. Операционный бит как единица преобразующей ассоциативной памяти

Суть технологии СпПАП, теоретическое обоснование которой было дано в [8], состоит в использовании элементов памяти в вычислительном процессе не как вспомогательного устройства, что характерно для традиционной архитектуры Фон-Неймана (рис. 1-а), а напрямую – в качестве активного (co)процессора, обеспечивающего выполнение основного потока вычислений, в котором центральный процессор (ЦП) выполняет лишь вспомогательные управляющие функции, не требовательные к вычислительной мощности (рис. 1-б). В приведенной на рис. 1-б схеме исключаются непроизводительные временные и энергетические потери, связанные с циклическим обращением ЦП к памяти, вычислительный поток становится максимально «ламинарным», без значительных «турбулентностей» в потоках команд и данных.

Преимущества потоковой обработки данных за счет дополнения ЦП процессорными элементами «не фон-неймановской» архитектуры мировые производители микропроцессоров понимают и стремятся реализовать на практике [9, 10, 11, 12]. В частности, еще в 2015-2016 годах компания Intel анонсировала [13], а в 2020 году запатентовала [14] так называемые «конфигурируемые пространственные акселераторы» потоковой обработки информации (КПА – *CSA, Configurable Spatial Accelerator*). Как заявил Барри Дэвис, один из топ-менеджеров *Intel*, «Основная идея [CSA] состоит в том, чтобы взять граф потока данных программы и сразу направить этот поток данных в очень большое количество вычислительных элементов...» [11]. В качестве вычислительных элементов, составляющих основу КПА, разработчик предпочел использовать ячейки программируемых логических интегральных схем (ПЛИС – *FPGA, Field Programmable Gate Arrays*), исключив при этом компиляцию на языках типа *Verilog* или *VHDL*. Для этих целей корпорация Intel даже позволила себе в 2016 году приобрести одного из двух мировых лидеров в области *FPGA* – компанию *Altera* более, чем за 16 млрд. долл. США. Иными словами, поток данных поступает сразу конкретному «исполнителю» – массиву модулей ПЛИС. Производительность такой гибридной архитектуры по заявлению компании *Intel* возросла на порядки.

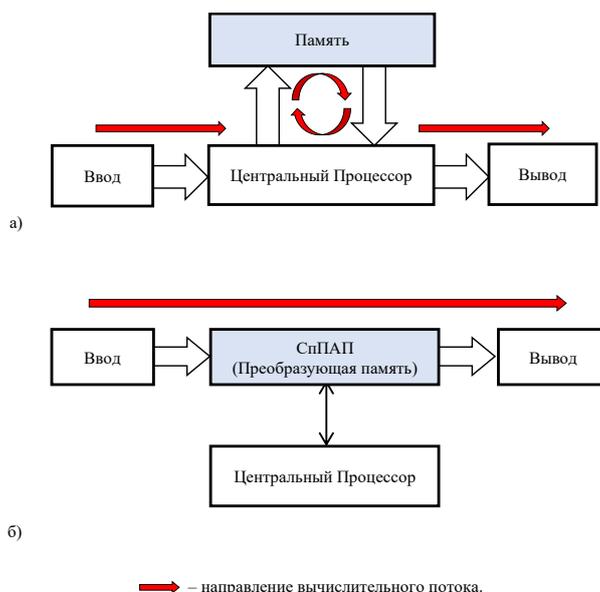


Рис. 1. Упрощенная схема вычислительных архитектур:  
 а) – Фон-Неймана; б) – гибридной на основе СпПАП

Отметим:

- существенным ограничением в использовании матриц ПЛИС является их низкая отказоустойчивость, что сужает применение этой и подобных технологий на борту ВКА;
- большинство разработчиков так и не смогло преодолеть стереотипа специализированной аппаратной реализации базовых функционалов вычислений: «хранение» («storage»), «пересылка» («forwarding»), «преобразование» («transformation») и совместить их на одном аппаратном ресурсе в виде «преобразующей ассоциативной памяти».

Этот стереотип был преодолен в технологии СпПАП, где в качестве элемента преобразующей ассоциативной памяти (ПАП) используется *операционный бит* (ОБ), который:

- представляет собой неделимую единицу (микро)программируемого субпроцессорного тракта реконфигурируемой преобразующей *FIFO*-регистровой ПАП;
- в отличие от процессорных элементов, применяемых в решениях-аналогах, используется не только для преобразования, но и для хранения и передачи данных.

В самом общем виде простейший *операционный бит* может быть представлен как комбинация двух комплементарных (инверсных и взаимодополняющих) бинарных булевых функций  $F^{(i)} \in \aleph^{(2)}$  и  $\overline{F^{(i)}} \in \aleph^{(2)}$  на множестве аргументов  $X(t) = X = \{0,1\}$ , т.е. отображений вида

$$F^{(i)}: X \times X \rightarrow X \text{ или } y = F^{(i)}(x_1, x_2); \quad (1)$$

$$\overline{F^{(i)}}: X \times X \rightarrow \overline{X} \text{ или } \overline{y} = \overline{F^{(i)}}(x_1, x_2), \quad (1')$$

где  $y, x_1, x_2 \in X = \{0,1\}$  – бинарные переменные;

$\aleph^{(2)} = \{F_0, F_1, \dots, F_{15}\}$  – множество бинарных БФ (булевых функций двух аргументов).

Конкретный вид пары  $\{F^{(i)}, \overline{F^{(i)}}\} \subset \aleph^{(2)}$  задается и фиксируется пользователем в соответствующем регистре (регистре инструкций)  $i$ -го ОБ ПАП путем т.н. программного конструирования функционала ОБ ПАП. Выбор комплементарных (инверсных) функций (1) обусловлен тем обстоятельством, что с их помощью *однозначно и полно* описывается весь класс БФ  $\aleph^{(2)}$ . Технически подмножество комплементарных функций (1) возможно эффективно реализовать с помощью преобразующих  $D$ -триггеров.

Пример кодовой записи инструкций ОБ, задаваемых пользователем путём так называемого *программного конструирования* во фрагменте регистра инструкций, приведен в таблице 1.

Каждый ОБ ПАП содержит (рис. 2):

- канал управления, включающий  $n$ -разрядный *FIFO*-регистр ввода и хранения индивидуальной бит-инструкции и соответствующие блоки дешифрации кода бит-операции и адресов обмена данными с соседними ОБ;

Таблица 1. Пример кодирования бит-инструкций ОБ ПАП

Наименование	Условное обозначение	Код
Нет операции	NOP	000
Арифметическое сложение	+ – ADD	001
Логическое умножение	$\wedge$ – AND	010
Расширенный транзит	WTR	011
Логическое умножение с инверсией	$\bar{\wedge}$ – NAND	100
Неравнозначность	$\oplus$ – XOR	101
Запоминание единиц	ST1	110
Генерация константы	CG	111

- операционный канал (канал АЛУ), включающий последовательно соединенные: входные коммутаторы (MS1, MS2) с независимым заданием 2-х адресов  $A1$  и  $A2$  приема исходных операндов, однобитное конвейерное АЛУ, два  $D$ -триггера ( $D_1, D_2$ ) и выходной коммутатор ( $DMS1$ );
- канал транзита, включающий последовательно соединенные: входной коммутатор ( $MS3$ ) и два  $D$ -триггера ( $D_3, D_4$ ) с независимо адресуемыми выходами ( $DMS2, DMS3$ ).

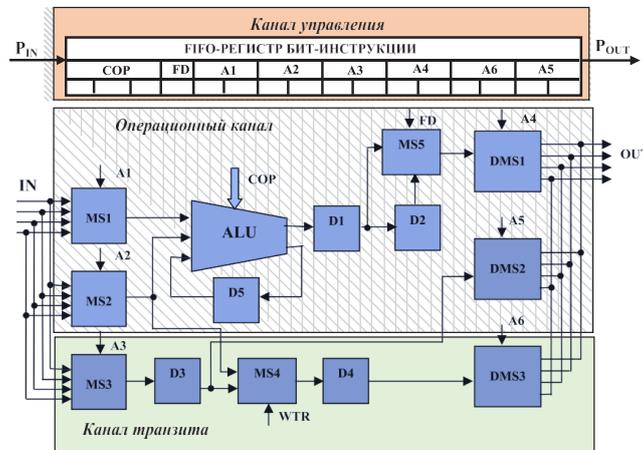


Рис. 2. Структурная схема ОБ ПАП [8]

Исключив для простоты управляющее и интерфейсные модули, условно представим ОБ ПАП в виде графа вычислительного потока с переменной структурой связей (рис. 3-а). В вершинах графа находятся  $D$ -триггеры, функциональные состояния которых задаются соответствующими кодовыми комбинациями из регистра инструкций ОБ, примеры которых приведены на рис. 3-б.

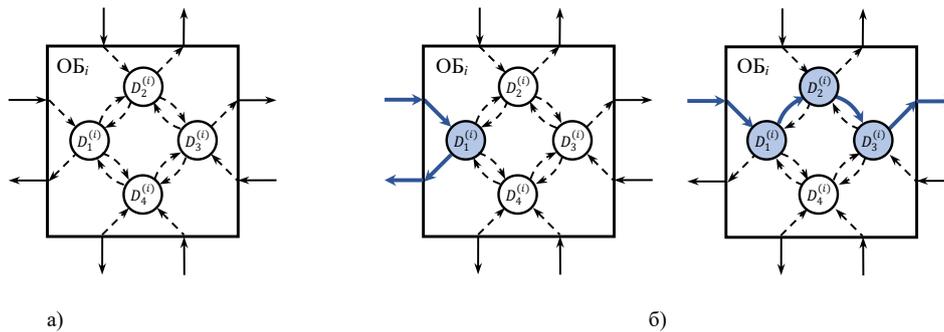


Рис. 3. Условное представление  $i$ -го ОБ ПАП:

а) – общий вид; б) – примеры реализации различных булевых функций в ОБ ПАП

Отметим, что прохождение информационного сигнала через вершины графа сопровождается обязательной и нормированной задержкой на 1 такт, обусловленной технической реализацией ОБ ПАП (на основе  $D$ -триггеров).

Принципиально важным атрибутивным свойством ОБ ПАП является ассоциативное представление и реализация данных и команд (значений аргументов и функций от них), что позволяет отдельному ОБ

быть взаимозаменяемым по отношению к трем типам бесконфликтно реализуемым вычислительным функционалам: «хранение» («storage»), «пересылка» («forwarding»), «преобразование» («transformation»).

В качестве примера в таблице 2 представлены булевы функции  $AND, NAND, XOR, NXOR \in \mathfrak{K}^{(2)}$  в традиционной и ассоциативной формах.

В отличие от традиционного представления, ассоциативная форма предусматривает явную связь значения БФ со значением одной из переменных при условии фиксированного значения другой. Иными словами, один из операндов (в данном случае  $x_2$ ) является «свободным» и выполняет управляющую роль, т.е. роль условия, при котором значение ( $a$  в общем случае – величина) функции определяется тем или иным значением (величиной) второго операнда (здесь  $x_1$ ), т.е. ассоциируется с тем или иным его значением (величиной).

Отметим, что таким образом могут быть представлены значения булевых функций любой аности на множестве значений произвольных физических величин, интерпретируемых как «ноль» и «единица».

На приведенных примерах мы рассмотрели так называемое  $PD$ -ассоциативное ( $P$  – программа,  $D$  – данные) представление функций (программ) значениями их аргументов (данных), которое по существу является фундаментальным принципом, лежащим в основе построения ОБ ПАП и вычислительных устройств на их основе.

Таблица 2. Примеры записи бинарных БФ в традиционной и ассоциативной формах

Наименование	Условное обозначение	Традиционная форма	Ассоциативная форма
Логическое умножение, конъюнкция, схема «И»	$AND(x_1, x_2) = x_1 \wedge x_2$	$\begin{cases} 1, & \text{если } x_1 = x_2 = 1, \\ 0, & \text{в противном случае} \end{cases}$	$\begin{cases} \bar{0}, & \text{если } x_2 = "0", \\ x_1, & \text{если } x_2 = "1" \end{cases}$
Логическое умножение с отрицанием, антиконъюнкция, «НЕ-И»	$NAND(x_2, x_1) = \overline{AND(x_2, x_1)} = \neg(x_1 \wedge x_2)$	$\begin{cases} 0, & \text{если } x_1 = x_2 = 1, \\ 1, & \text{в противном случае} \end{cases}$	$\begin{cases} \bar{1}, & \text{если } x_2 = "0", \\ \bar{x}_1, & \text{если } x_2 = "1" \end{cases}$
Функция сравнения «операнды не равны», сложение по модулю 2, исключающее «ИЛИ»	$x_1 \oplus x_2 = XOR(x_1, x_2)$	$\begin{cases} 0, & \text{если } x_1 = x_2, \\ 1, & \text{в противном случае} \end{cases}$	$\begin{cases} x_1, & \text{если } x_2 = "0", \\ \bar{x}_1, & \text{если } x_2 = "1" \end{cases}$
Функция сравнения «операнды равны», эквивалентность	$x_1 \leftrightarrow x_2 = NXOR(x_1, x_2) = \neg XOR(x_1, x_2)$	$\begin{cases} 1, & \text{если } x_1 = x_2, \\ 0, & \text{в противном случае} \end{cases}$	$\begin{cases} \bar{x}_1, & \text{если } x_2 = "0", \\ x_1, & \text{если } x_2 = "1" \end{cases}$

## 2. Конфигурирование вычислительных поверхностей в СпПАП

Однородные массивы-матрицы из ОБ ПАП, связанных с ближайшими соседями ортогональными, двунаправленными, одноразрядными в каждом направлении, гальваническими шинами обмена данными, формируют вычислительные поверхности и могут быть реализованы на интегральных схемах (рис. 4). В зависимости от используемой технологии КМОП одна матричная СБИС может содержать от 20 (3 мкм, апробировано в «металле», СБИС Н1841 ВФ1) до 54000 ОБ ПАП (90 нм). Отметим, что использование более совершенных КМОП-технологий для изготовления матриц ОБ ПАП ведет к конструктивно-технологической проблеме возрастания плотности периферийных выводов – ножек, с помощью которых матричные СБИС ПАП монтируются на платы для сопряжения между собой и/или системными шинами вычислительных устройств и создания СпПАП.

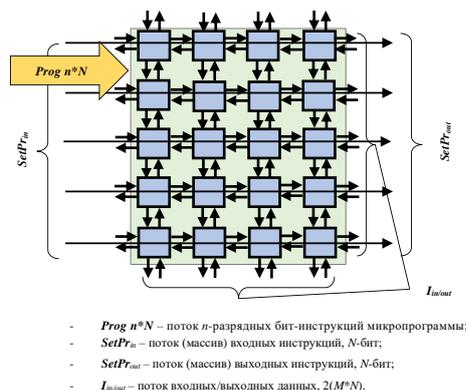


Рис. 4. Структура СБИС ПАП [8]

Иными словами, СБИС ПАП конструктивно представляет собой  $2D$ -матрицу  $M \times N$  операционных бит  $FIFO$ -регистрающей ассоциативной памяти, синхронно работающих и объединенных единым  $FIFO$ -регистрающим каналом управления вводом и хранения бит-инструкций (рис. 5).



Рис. 5. Структура канала ввода и хранения бит-инструкций СБИС ПАП

Наращивание вычислительной поверхности ПАП до требуемых размеров  $N_{тр} * M_{тр}$  осуществляется соединением СБИС по принципу «ножка в ножку» и обходится без буферных каскадов, включение которых негативно влияет на тактовую частоту работы всей матрицы ПАП. Конфигурирование вычислительной поверхности осуществляется с помощью так называемой *шлейф-шины*.

Особенности шлейф-шины состоят в том, что в ней:

- передача информации (условно – активизация связей между ОБ ПАП) происходит за счет  $D$ -триггеров периферийных операционных бит (терминальных бит) и осуществляется с нормированной задержкой в один такт;
- при двухстороннем монтаже СБИС все гальванические связи, формирующие вычислительную поверхность в виде  $X$  или  $Y$ -цилиндров, кубов и торов эквидистанты, так как реализуются за счет металлизированных отверстий в платах и/или электропроводящими связями;
- перемещение прямоугольного рабочего поля СпПАП по условной цилиндрической поверхности осуществляется его смещением за счет включения (исключения) вставок из  $D$ -триггеров, обеспечивающих транзитную передачу данных от периферийных ОБ к рабочему полю, что позволяет повысить отказоустойчивость СпПАП без применения кратного резервирования.

Сконфигурированные таким образом вычислительные поверхности, построенные на принципе  $PD$ -ассоциации:

а) можно рассматривать одновременно и как *преобразователи данных*, и как *преобразователи функций* (далее  $PD$ -ассоциативные вычислительные конструкции), которые нарушают фон-неймановский принцип разделения потоков инструкций и данных при их хранении и передаче;

б) во многом определяют:

- конвейерный характер распространения потоков инструкций и данных по  $PD$ -ассоциативным вычислительным структурам;
- зависимость выполняемых преобразований как от схемы коммутации  $D$ -триггеров, так и от содержимого «свободных» и/или специально сформированных «внутренних» переменных.

Рассмотренные элементы – ОБ ПАП, шлейф-шины и формируемые на их основе вычислительные поверхности СпПАП настраиваются пользователем на выполнение конкретных вычислительных задач путем программного конструирования, т.е. задания конкретных бит-инструкций (кодов БФ) и

фиксации их в реестре инструкций ОБ ПАП с помощью соответствующего программного обеспечения. Порядок выполнения задач определяется произвольным центральным процессором, который в гибридном вычислительном комплексе (рис. 1-б) выполняет функции контроллера.

### 3. Пространственно-сетевое конфигурирование вычислительных полей

В предположении наличия технической возможности фиксации (квази)ортогональных пространственных связей между отдельными ВКА (с помощью их оптоэлектронной бортовой аппаратуры) вычислительные поверхности бортовых СпПАП могут быть объединены в единое пространственно-сетевое вычислительное поле (рис. 6).

Такое объединение возможно за счет расширения шлейф-шин СпПАП бортовых вычислительных комплексов ВКА прямо-передающими модулями (модемами) в оптическом и/или радиодиапазоне. Объединение бортовых СпПАП в единое вычислительное пространство позволяет:

- увеличить удельную вычислительную производительность (быстродействие соотнесенное с энергозатратами) группировки ВКА в линейной пропорции от числа входящих в нее ВКА;
- повысить отказоустойчивость бортовых вычислительных средств отдельных ВКА и живучесть группировки в целом за счет перераспределения вычислительного ресурса по доступным свободным ОБ объединенного вычислительного поля;
- снизить сложность управления группировкой за счет её «интеллектуализации», когда внешний оператор управляет назначаемым лидером группировки в то время, когда навигационные и функциональные задачи перераспределяются между её отдельными элементами.

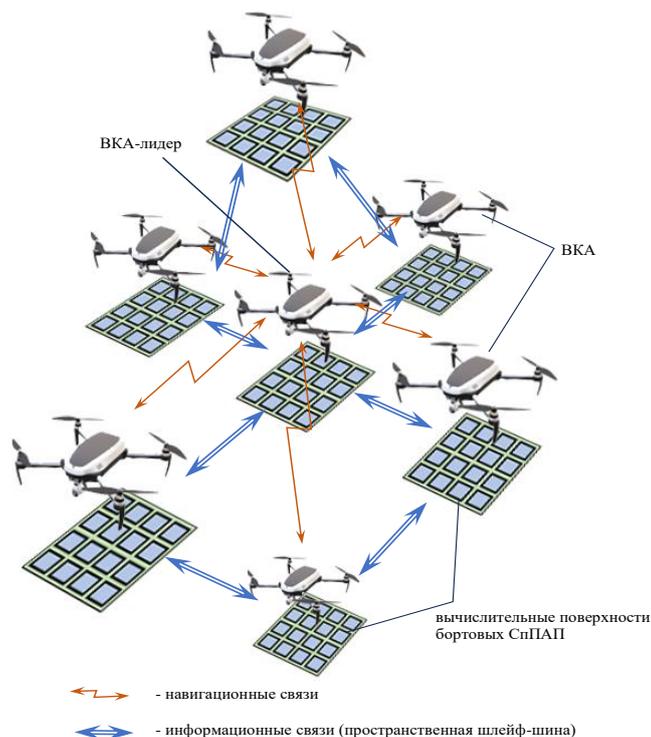


Рис. 6. Вариант конфигурирования пространственно- сетевого вычислительного поля

### 4. Заключение

Исследование возможностей вычислительной технологии СпПАП, включая её официальную оценку экспертным сообществом ГУ НИД МО РФ, ГК «Ростех», АО «Росэлектроника» и АО «ОПК» в 2017-2018 г.г., подтвердило конкурентные преимущества технологии СпПАП над традиционными вычислительными технологиями в части:

- удельной производительности;
- криптостойкости;
- надежности;
- возможности функционирования в условиях, характерных для базирования ВКА, вследствие высокой отказоустойчивости и структурной гибкости СпПАП.

В силу независимости СБИС СпПАП от разрядности и производительности ЦП, можно утверждать, что один-два номинала СБИС СпПАП смогут заменить широкую номенклатуру микросхем для комплектации освоенных в производстве образцов ВКА.

Экспериментально-модельным методом было подтверждено значительное превосходство технологии СпПАП над отечественными и зарубежными функциональными аналогами. В частности, на примере одного из типовых алгоритмов было показано, что СБИС СпПАП (отечественная технология 90 нм) превосходит по удельной производительности отечественный СБИС МС-121 (корейская технология 60 нм, НТЦ «Модуль») и зарубежный СБИС *PowerXCell* (45 нм – *Sony, Toshiba, IBM*) ~ в 85,0 и в 5,8 раз соответственно.

Импортонезависимая вычислительная технология СпПАП и в ближней, и в дальней перспективе сохранит свою актуальность, компенсируя технологическое отставание микроэлектроники на 2-3 технологических поколения по основным показателям, и её применение оправдано для решения задач группового управления ВКА широкой номенклатуры.

## Литература

1. *Кутахов В.П., Мещеряков Р.В.* Управление групповым поведением беспилотных летательных аппаратов: постановка задачи применения технологий искусственного интеллекта // Проблемы управления. 2022. №1. – С. 67-73.
2. Современные информационные технологии в задачах навигации и наведения беспилотных маневренных летательных аппаратов. / Под ред. М.Н. Красильщикова, Г.Г. Себрякова. – М.: Физматлит, 2009. – 556 с..
3. *Амелин К.С., Граничин О.Н.* Мультиагентное сетевое управление группой легких БПЛА // Нейрокомпьютеры: разработка, применение. 2011. № 6. – С. 64–72.
4. *Соллогуб А.В., Скобелев П.О., Симонова Е.В., Царев А. В., Степанов М.Е., Жилиев А. А.* Интеллектуальная система распределенного управления групповыми операциями кластера малоразмерных космических аппаратов в задачах дистанционного зондирования земли // Информационно-управляющие системы. 2013. №1. – С. 16-26.
5. *Потюпкин А.Ю., Данилин Н.С., Селиванов А.С.* Кластеры малоразмерных космических аппаратов // Ракетно-космическое приборостроение и информационные системы. 2017, том 4, выпуск 4 – С. 45–56.
6. *Кутахов В.П., Пляскота С.И.* Информационное взаимодействие в крупномасштабных робототехнических авиационных системах // Управление развитием крупномасштабных систем MLSD'2017. Материалы Десятой междунар. конф: в 2 т. – М.: ИПУ РАН, 2017. – Т.1 – С. 93–96.
7. *Каляев И.А., Гайдук А.Р., Канустян С.Г.* Распределённые системы планирования действий коллективов роботов. — М.: Янус-К, 2002. — 292 с.
8. *Алакоз Г.М., Курак М.В., Котов А.В., Сериков А.П., Попов А.А.* Вычислительные наноструктуры. - М.: ИНТУИТ, 2010. Том 1 – «Задачи, модели, структуры». С.487, Том 2. – «Программно-аппаратные платформы». С.399.
9. *S. Zhang, Z. Du, L. Zhang, H. Lan, S. Liu, L. Li, Q. Guo, T. Chen, and Y. Chen.* Cambricon-X: An accelerator for sparse neural networks // Proc. IEEE/ACM Int. Symp. on Microarch. – 2016. – P. 1–12.
10. *M. N. Bojnordi and E. Ipek.* Memristive Boltzmann machine: A hardware accelerator for combinatorial optimization and deep learning // Proc. IEEE Int. Symp. on High Perf. Computer Arch. (HPCA). – 2016. – P. 1–13.
11. *T.P. Morgan.* Intel's Exascale Dataflow Engine Drops X86 And Von Neumann // The Next Platform. August 30, 2018. <https://www.nextplatform.com/2018/08/30/intels-exascale-dataflow-engine-drops-x86-and-von-neuman/>, last accessed June 12, 2024.
12. *M. G. Dosanjh, W. Schonbein, R. E. Grant, P. G. Bridges, S. M. Ghazimirsaeed, and A. Afsahi.* Fuzzy matching: Hardware accelerated MPI communication middleware // Proc. IEEE/ACM Int. Symp. in Cluster, Cloud, and Grid Computing (CCGrid 2019). - 2019. - P. 210-220.
13. Intel Corporation, “Configurable Spatial Accelerator (CSA),” 2020, [https://en.wikichip.org/wiki/intel/configurable\\_spatial\\_accelerator](https://en.wikichip.org/wiki/intel/configurable_spatial_accelerator), last accessed June 12, 2024.
14. United States Patent. Pat. No.: US 10558575 B2. Date of Patent: Feb. 11, 2020.